

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

014281317 **Image available**

WPI Acc No: 2002-102018/200214

XRPX Acc No: N02-075821

Digital drive unit for image display device, has resetting terminal which supplies reset signal to memory cell for resetting memory

Patent Assignee: SEIKO EPSON CORP (SHIH)

Inventor: NAKAMURA J; SEKI H; YONEKUBO M

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2001343924	A	20011214	JP 200148478	A	20010223	200214 B
US 20020024508	A1	20020228	US 2001808143	A	20010315	200220

Priority Applications (No Type Date): JP 200087145 A 20000327

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2001343924	A	22	G09G-003/20	
US 20020024508	A1		G09G-005/00	

Abstract (Basic): JP 2001343924 A

NOVELTY - A memory cell array consists of memory cells (21) which arranged in matrix shape. An address terminal (29a) which supplies address signal to the memory cell for controlling the transfer of data to a memory. Data terminals (29d1,29d2) supply data to the memory via memory cell. An output terminal outputs data from the memory. A resetting terminal (29p) supplies reset signal to memory cell for resetting the memory.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for an image display device.

USE - For image display device.

ADVANTAGE - Obtain image display device which shows multicolor image and ensures simple setting of memory cell to predetermined condition.

DESCRIPTION OF DRAWING(S) - The figure shows a block diagram illustrating the modification of a memory cell.

Memory cells (21)

Address terminal (29a)

Data terminals (29d1, 29d2)

Resetting terminal (29p)

pp; 22 DwgNo 11/22

Title Terms: DIGITAL; DRIVE; UNIT; IMAGE; DISPLAY; DEVICE; RESET; TERMINAL;

SUPPLY; RESET; SIGNAL; MEMORY; CELL; RESET; MEMORY

Derwent Class: P81; P85; U14; V07

International Patent Class (Main): G09G-003/20; G09G-005/00

International Patent Class (Additional): G02B-026/08; G09G-003/34;

G09G-003/36; G11C-011/41; G11C-011/413

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

07116256 **Image available**

DIGITAL DRIVING DEVICE AND PICTURE DISPLAY DEVICE USING THE SAME

PUB. NO.: 2001-343924 [JP 2001343924 A]

PUBLISHED: December 14, 2001 (20011214)

INVENTOR(s): NAKAMURA JUNICHI

SEKI HIDEYA

YONEKUBO MASATOSHI

APPLICANT(s): SEIKO EPSON CORP

APPL. NO.: 2001-048478 [JP 20011048478]

FILED: February 23, 2001 (20010223)

PRIORITY: 2000-087145 [JP 200087145], JP (Japan), March 27, 2000
(20000327)

INTL CLASS: G09G-003/20; G02B-026/08; G09G-003/34; G09G-003/36;
G11C-011/413; G11C-011/41

ABSTRACT

PROBLEM TO BE SOLVED: To provide a technology capable of easily setting the light emitting element such as optical modulation element provided in a picture display device to a prescribed state.

SOLUTION: This digital driving device is provided with a memory array including plural memory cells arranged in a matrix shape. The memory cell is provided with a storage part which is capable of storing supplied data and, also, is capable of holding an output corresponding to the data and a transferring element capable of transferring data to the storage part. Moreover, the cell is provided with an address terminal for supplying an address signal for controlling the operation of the transferring element to the transferring element, a data terminal which is connected to the transferring element and supplies data to the storage part via the transferring element and an output terminal for outputting the data stored in the storage part and, moreover, is provided with a reset terminal for supplying a reset signal for setting the output of the storage part to a prescribed state regardless of the data stored in the storage part to the storage part.

COPYRIGHT: (C)2001, JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開 号

特開2001-343924

(P2001-343924A)

(43)公開日 平成13年12月14日(2001.12.14)

(51)IntCl. ⁷	識別記号	F I	テマコード(参考)
G 0 9 G 3/20	6 2 4 6 8 0	G 0 9 G 3/20	6 2 4 B 2 H 0 4 1 6 8 0 C 5 B 0 1 5
G 0 2 B 26/08		G 0 2 B 26/08	D 5 C 0 0 6
G 0 9 G 3/34 3/36		G 0 9 G 3/34 3/36	J 5 C 0 8 0

審査請求 未請求 請求項の数26 O L (全 22 頁) 最終頁に続く

(21)出願番号 特願2001-48478(P2001-48478)
(22)出願日 平成13年2月23日(2001.2.23)
(31)優先権主張番号 特願2000-87145(P2000-87145)
(32)優先日 平成12年3月27日(2000.3.27)
(33)優先権主張国 日本(J P)

(71)出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72)発明者 中村 旬一
長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内
(72)発明者 関 秀也
長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内
(74)代理人 100096817
弁理士 五十嵐 孝雄 (外3名)

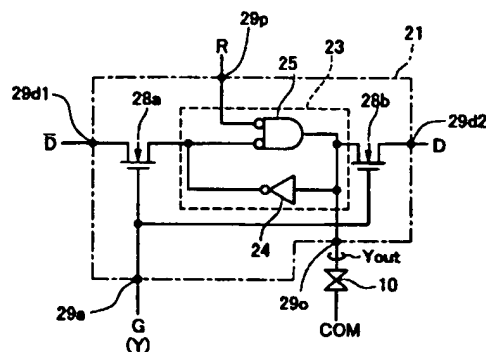
最終頁に続く

(54)【発明の名称】 デジタル駆動装置およびこれを用いた画像表示装置

(57)【要約】

【課題】 画像表示装置に備えられる光変調素子などの光射出素子を、容易に所定の状態に設定することのできる技術を提供する。

【解決手段】 デジタル駆動装置は、マトリクス状に配列された複数のメモリセルを含むメモリセルアレイを備える。メモリセルは、供給されたデータを記憶するとともにデータに応じた出力を保持可能な記憶部と、記憶部にデータを転送可能な転送素子と、を備える。また、メモリセルは、転送素子の動作を制御するためのアドレス信号を転送素子に供給するためのアドレス端子と、転送素子と接続され、データを転送素子を経て記憶部に供給するためのデータ端子と、記憶部に記憶されたデータを出力するための出力端子と、を備える。メモリセルは、さらに、記憶部に記憶されたデータに関わらず、記憶部の出力を所定の状態に設定するためのリセット信号を、記憶部に供給するためのリセット端子を備える。



【特許請求の範囲】

【請求項1】 デジタル駆動装置であって、マトリクス状に配列された複数のメモリセルを含むメモリセルアレイを備え、前記メモリセルは、供給されたデータを記憶するとともに、前記データに応じた出力を保持可能な記憶部と、前記記憶部に、前記データを転送可能な転送素子と、前記転送素子の動作を制御するためのアドレス信号を、前記転送素子に供給するためのアドレス端子と、前記転送素子と接続され、前記データを、前記転送素子を経て前記記憶部に供給するためのデータ端子と、前記記憶部に記憶された前記データを出力するための出力端子と、前記記憶部に記憶された前記データに関わらず、前記記憶部の出力を所定の状態に設定するためのリセット信号を、前記記憶部に供給するためのリセット端子と、を備えることを特徴とするデジタル駆動装置。

【請求項2】 請求項1記載のデジタル駆動装置であって、前記記憶部は、インバータと、2入力NANDゲートまたは2入力NORゲートと、を備えており、前記インバータの入力端子には、前記2入力NANDゲートまたは前記2入力NORゲートの出力端子が接続されており、前記2入力NANDゲートまたは前記2入力NORゲートの一方の入力端子には、前記インバータの出力端子が接続されており、他方の入力端子には、前記リセット端子が接続されている、デジタル駆動装置。

【請求項3】 請求項2記載のデジタル駆動装置であって、前記メモリセルは、さらに、前記記憶部からの出力電圧を変換するためのバッファ回路を備える、デジタル駆動装置。

【請求項4】 請求項2記載のデジタル駆動装置であって、前記メモリセルアレイは、さらに、複数の第1の信号線であって、各第1の信号線が、行方向に沿って配列された1組のメモリセル群に含まれる1組のアドレス端子群を並列に接続する、前記複数の第1の信号線と、複数の第2の信号線であって、各第2の信号線が、列方向に沿って配列された1組のメモリセル群に含まれる1組のデータ端子群を並列に接続する、前記複数の第2の信号線と、複数の第3の信号線であって、各第3の信号線が、前記行方向に沿って配列された前記1組のメモリセル群に含まれる1組のリセット端子群を並列に接続する、前記複

数の第3の信号線と、を備え、前記デジタル駆動装置は、さらに、前記複数の第1の信号線を介して、前記行方向に沿って配列された各組のメモリセル群に、前記アドレス信号を順次供給するための第1のドライバ回路と、前記複数の第2の信号線を介して、前記列方向に沿って配列された各組のメモリセル群に、前記データ信号を一斉に供給するための第2のドライバ回路と、前記複数の第3の信号線を介して、前記行方向に沿って配列された各組のメモリセル群に、前記リセット信号を順次供給するための第3のドライバ回路と、を備える、デジタル駆動装置。

【請求項5】 請求項4記載のデジタル駆動装置であって、前記第3のドライバ回路は、前記第1のドライバ回路が特定の組のメモリセル群に対して前記アドレス信号を供給した後の所定のタイミングで、前記特定の組のメモリセル群に対して前記リセット信号を供給可能である、デジタル駆動装置。

【請求項6】 請求項5記載のデジタル駆動装置であって、前記所定のタイミングは、変更可能である、デジタル駆動装置。

【請求項7】 請求項5記載のデジタル駆動装置であって、さらに、1フレーム期間内に、前記第1のドライバ回路および前記第3のドライバ回路に、前記アドレス信号および前記リセット信号を出力させるための制御回路を備える、デジタル駆動装置。

【請求項8】 画像表示装置であって、請求項1記載のデジタル駆動装置と、前記デジタル駆動装置に含まれる前記複数のメモリセルからの出力に応じて、光を射出する複数の光射出素子を含む光射出装置と、を備えることを特徴とする画像表示装置。

【請求項9】 請求項8記載の画像表示装置であって、さらに、前記光射出装置からの光を投写するためのレンズを備える、画像表示装置。

【請求項10】 請求項8記載の画像表示装置であって、前記複数の光射出素子のそれぞれは、外部から与えられた光を変調して射出する、画像表示装置。

【請求項11】 デジタル記憶ユニットであって、光変調素子の状態を示すデータを保持するための記憶部と、前記記憶部に前記データを転送可能なアクティブ素子と、前記アクティブ素子を介して、前記データを前記記憶部に供給するためのデータ端子と、

10

20

30

40

50

前記アクティブ素子を制御するためのアドレス信号を、前記アクティブ素子に供給するためのアドレス端子と、前記記憶部をリセットするためのリセット信号を、前記記憶部に供給するためのリセット端子と、を備えることを特徴とするデジタル記憶ユニット。

【請求項12】 請求項11記載のデジタル記憶ユニットであって、

前記記憶部は、リセット機能付きのSRAM回路である、デジタル記憶ユニット。

【請求項13】 請求項12記載のデジタル記憶ユニットであって、

前記SRAM回路は、

一方の入力端子に前記リセット信号が入力される2入力NANDゲートまたは2入力NORゲートと、インバータと、を備えており、

前記2入力NANDゲートまたは前記2入力NORゲートと、前記インバータとは、ループ接続されている、デジタル記憶ユニット。

【請求項14】 請求項11記載のデジタル記憶ユニットであって、さらに、

前記記憶部の出力電圧を変換して前記光変調素子に伝達するためのバッファ回路を備える、デジタル記憶ユニット。

【請求項15】 デジタル記憶装置であって、2次元に配置された請求項11記載の複数のデジタル記憶ユニットと、

複数の第1の信号線であって、各第1の信号線は、第1の方向に並んだ1組のデジタル記憶ユニット群に含まれる1組のアドレス端子群を並列に接続し、各第1の信号線には、前記アドレス信号が供給される、前記複数の第1の信号線と、

複数の第2の信号線であって、各第2の信号線は、前記第1の方向に直交する第2の方向に並んだ1組のデジタル記憶ユニット群に含まれる1組のデータ端子群を並列に接続し、各第2の信号線には、前記データ信号が供給される、前記複数の第2の信号線と、

複数の第3の信号線であって、各第3の信号線は、前記第1の方向に並んだ1組のデジタル記憶ユニット群に含まれる1組のリセット端子群を並列に接続し、各第3の信号線には、前記リセット信号が供給される、前記複数の第3の信号線と、を備えることを特徴とするデジタル記憶装置。

【請求項16】 デジタル駆動装置であって、請求項15記載のデジタル記憶装置と、前記複数の第1の信号線に前記アドレス信号を供給するための第1のドライバ回路と、前記複数の第2の信号線に前記データ信号を供給するための第2のドライバ回路と、前記複数の第3の信号線に前記リセット信号を供給するための第3のドライバ回路と、を備えることを特徴とする

デジタル駆動装置。

【請求項17】 請求項16記載のデジタル駆動装置であって、

前記第3のドライバ回路は、前記第1のドライバ回路が特定の組のデジタル記憶ユニット群に対して前記アドレス信号を供給した後の所定のタイミングで、前記特定の組のデジタル記憶ユニット群に対して前記リセット信号を供給可能である、デジタル駆動装置。

【請求項18】 請求項16記載のデジタル駆動装置であって、

前記第1のドライバ回路は、シフトレジスタ回路とAND論理回路とを備える、デジタル駆動装置。

【請求項19】 請求項16記載のデジタル駆動装置であって、

前記第3のドライバ回路は、シフトレジスタ回路とAND論理回路とを備える、デジタル駆動装置。

【請求項20】 請求項16記載のデジタル駆動装置であって、

前記第2のドライバ回路は、シフトレジスタ回路とアナログスイッチ回路とを備え、前記アナログスイッチ回路には、前記データ信号を出力するタイミングを制御するためのイネーブル信号が供給される、デジタル駆動装置。

【請求項21】 請求項16記載のデジタル駆動装置であって、

前記第2のドライバ回路は、複数の部分ドライバ回路を備え、

前記複数の部分ドライバ回路のそれぞれは、前記複数のデジタル記憶ユニットのうちの少なくとも一部に、前記データ信号を供給する、デジタル駆動装置。

【請求項22】 請求項17記載のデジタル駆動装置であって、さらに、

前記第1のドライバ回路および前記第3のドライバ回路に、同一のフレーム期間内に前記アドレス信号および前記リセット信号を出力させるための制御回路を備える、デジタル駆動装置。

【請求項23】 画像表示装置であって、

請求項16記載のデジタル駆動装置と、前記デジタル駆動装置に含まれる前記複数のデジタル記憶ユニットのそれぞれによって駆動される前記光変調素子と、を備えることを特徴とする画像表示装置。

【請求項24】 請求項23記載の画像表示装置であって、さらに、前記光変調素子からの光を投写するレンズを備える、画像表示装置。

【請求項25】 請求項16記載のデジタル駆動装置の制御方法であって、

前記第3のドライバ回路に、前記第1のドライバ回路が

特定の組のデジタル記憶ユニット群に対して前記アドレス信号を供給した後の所定のタイミングで、前記特定の組のデジタル記憶ユニット群に対して前記リセット信号を供給させる工程を含むことを特徴とするデジタル駆動装置の制御方法。

【請求項26】 請求項25記載の制御方法であって、前記アドレス信号と前記リセット信号とは、同一のフレーム期間内に供給される、デジタル駆動装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、画像表示装置に関し、特に、光射出装置を駆動するためのデジタル駆動装置に関する。

【0002】

【従来の技術】画像表示装置においては、種々の方式でマルチカラーの画像が表現される。第1の方式は、プロジェクタなどに用いられる3板方式である。この方式では、例えば、赤、緑、青の3つの色光に対応する3つの液晶パネルが用いられ、3つの液晶パネルによって生成された3つの色画像を合成することによりマルチカラーの画像を表現する。第2の方式は、直視型の画像表示装置に用いられるカラーフィルタ方式である。この方式では、例えば、射出する色の異なる3つの光変調素子（液晶セル）によって1つの画素が構成される1つの液晶パネルが用いられ、空間的な混色によりマルチカラーの画像を表現する。第3の方式は、カラーシーケンシャル方式である。この方式では、例えば、1つの液晶パネルに3つの色光を順次照射し、液晶パネルによって生成される各色画像を順次表示して、人間の眼の時間的な混色によりマルチカラーの画像を表現する。

【0003】上記のような画像表示装置は、通常、液晶パネルなどの光変調装置と、光変調装置を駆動するデジタル駆動装置と、を備えている。デジタル駆動装置は、光変調装置に含まれる複数の光変調素子をそれぞれ駆動するための複数のメモリセルを含むメモリセルアレイを備えている。

【0004】ところで、画像表示装置では、画像の書き換えの際などに、各光変調素子を、オフ状態（光を射出しない状態）などの所定の状態に、強制的に設定したい場合がある。特に、上記のカラーシーケンシャル方式を採用する画像表示装置では、デジタル駆動装置は、光変調装置に順次照射される各色光に適した各色画像データを用いて、光変調装置を駆動する必要がある。このため、デジタル駆動装置は、光変調装置に各色光が照射される前に、各光変調素子を一旦オフ状態に設定する必要がある。

【0005】

【発明が解決しようとする課題】しかしながら、従来のデジタル駆動装置を用いる場合には、光変調素子をオフ

状態に設定するのは、比較的困難であるという問題があった。これは、従来では、1画面の色画像を表示するために、2つのサブフレーム期間を用いなければならず、比較的時間が掛かるためである。すなわち、従来では、第1のサブフレーム期間において、各光変調素子を選択的にオン状態（光を射出する状態）とし、2番目のサブフレーム期間において、各光変調素子を必ずオフ状態としている。具体的には、デジタル駆動装置の各メモリセルには、第1のサブフレーム期間において、色画像データが書き込まれ、第2のサブフレーム期間において、各光変調素子をオフ状態とするための所定のデータが再度書き込まれる。

【0006】なお、上記の問題は、カラーシーケンシャル方式を採用した画像表示装置に限らず、他の方式を採用する画像表示装置にも共通する問題である。

【0007】この発明は、従来技術における上述の課題を解決するためになされたものであり、画像表示装置に備えられる光変調素子などの光射出素子を、容易に所定の状態に設定することのできる技術を提供することを目的とする。

【0008】

【課題を解決するための手段およびその作用・効果】上述の課題の少なくとも一部を解決するため、本発明の第1の装置は、デジタル駆動装置であって、マトリクス状に配列された複数のメモリセルを含むメモリセルアレイを備え、前記メモリセルは、供給されたデータを記憶するとともに、前記データに応じた出力を保持可能な記憶部と、前記記憶部に、前記データを転送可能な転送素子と、前記転送素子の動作を制御するためのアドレス信号を、前記転送素子に供給するためのアドレス端子と、前記転送素子と接続され、前記データを、前記転送素子を経て前記記憶部に供給するためのデータ端子と、前記記憶部に記憶された前記データを出力するための出力端子と、前記記憶部に記憶された前記データに関わらず、前記記憶部の出力を所定の状態に設定するためのリセット信号を、前記記憶部に供給するためのリセット端子と、を備えることを特徴とする。

【0009】このデジタル駆動装置では、各メモリセルは、リセット端子を備えている。これにより、記憶部に記憶されたデータに関わらず、記憶部の出力を、容易に所定の状態に設定することが可能となる。そして、このデジタル駆動装置を、光射出装置を備える画像表示装置に適用すれば、光射出素子を、容易に所定の状態に設定することが可能となる。

【0010】上記の装置において、前記記憶部は、インバータと、2入力NANDゲートまたは2入力NORゲートと、を備えており、前記インバータの入力端子には、前記2入力NANDゲートまたは前記2入力NORゲートの出力端子が接続されており、前記2入力NANDゲートまたは前記2入力NORゲートの一方の入力端

子には、前記インバータの出力端子が接続されており、他方の入力端子には、前記リセット端子が接続されていることが好ましい。

【0011】このようにすれば、記憶部を比較的簡単に構成することができる。

【0012】上記の装置において、前記メモリセルは、さらに、前記記憶部からの出力電圧を変換するためのバッファ回路を備えることが好ましい。

【0013】こうすれば、各メモリセルは、任意の電圧レベルで出力することができるとともに、記憶部自体の消費電力を低減させることができる。そして、このデジタル駆動装置を、光射出装置を備える画像表示装置に適用すれば、任意の電圧レベルで動作する光射出素子を駆動することが可能となる。

【0014】上記の装置において、前記メモリセルアレイは、さらに、複数の第1の信号線であって、各第1の信号線が、行方向に沿って配列された1組のメモリセル群に含まれる1組のアドレス端子群を並列に接続する、前記複数の第1の信号線と、複数の第2の信号線であって、各第2の信号線が、列方向に沿って配列された1組のメモリセル群に含まれる1組のデータ端子群を並列に接続する、前記複数の第2の信号線と、複数の第3の信号線であって、各第3の信号線が、前記行方向に沿って配列された前記1組のメモリセル群に含まれる1組のリセット端子群を並列に接続する、前記複数の第3の信号線と、を備え、前記デジタル駆動装置は、さらに、前記複数の第1の信号線を介して、前記行方向に沿って配列された各組のメモリセル群に、前記アドレス信号を順次供給するための第1のドライバ回路と、前記複数の第2の信号線を介して、前記列方向に沿って配列された各組のメモリセル群に、前記データ信号を一斉に供給するための第2のドライバ回路と、前記複数の第3の信号線を介して、前記行方向に沿って配列された各組のメモリセル群に、前記リセット信号を順次供給するための第3のドライバ回路と、を備えることが好ましい。

【0015】こうすれば、行方向に沿って配列された各組のメモリセル群の出力状態を、順次所定の状態に設定することができる。

【0016】上記の装置において、前記第3のドライバ回路は、前記第1のドライバ回路が特定の組のメモリセル群に対して前記アドレス信号を供給した後の所定のタイミングで、前記特定の組のメモリセル群に対して前記リセット信号を供給可能であることが好ましい。

【0017】こうすれば、記憶部にデータが書き込まれた後の所定のタイミングで、記憶部の出力を所定の状態に設定することができる。そして、このデジタル駆動装置を、光射出装置を備える画像表示装置に適用すれば、各光射出素子を所定のタイミングで所定の状態に設定することができる。

【0018】上記の装置において、前記所定のタイミン

グは、変更可能であることが好ましい。

【0019】こうすれば、記憶部にデータが書き込まれた後の所望のタイミングで、記憶部の出力を所定の状態に設定することができる。そして、このデジタル駆動装置を、光射出装置を備える画像表示装置に適用すれば、各光射出素子を所望のタイミングで所定の状態に設定することができ、この結果、光射出装置における光の射出時間を調整することができる。

【0020】上記の装置において、さらに、1フレーム期間内に、前記第1のドライバ回路および前記第3のドライバ回路に、前記アドレス信号および前記リセット信号を出力させるための制御回路を備えることが好ましい。

【0021】こうすれば、同一のフレーム期間内に、アドレス信号とリセット信号とを各メモリセルに供給することができるので、1フレーム期間内にデータを書き換えることができる。そして、このデジタル駆動装置を、光射出装置を備える画像表示装置に適用すれば、1フレーム期間毎に異なる画像を表示することが可能となる。

【0022】本発明の第2の装置は、画像表示装置であって、上記のいずれかに記載のデジタル駆動装置と、前記デジタル駆動装置に含まれる前記複数のメモリセルからの出力に応じて、光を射出する複数の光射出素子を含む光射出装置と、を備えることを特徴とする。

【0023】この画像表示装置では、本発明の第1の装置であるデジタル駆動装置が用いられているので、光射出素子を、容易に所定の状態に設定することが可能となる。

【0024】上記の装置において、さらに、前記光射出装置からの光を投写するためのレンズを備えるようにしてもよい。

【0025】こうすれば、プロジェクタを構成することができる。

【0026】上記の装置において、前記複数の光射出素子のそれぞれは、外部から与えられた光を変調して射出するようにしてもよい。

【0027】本発明の第3の装置は、デジタル記憶ユニットであって、光変調素子の状態を示すデータを保持するための記憶部と、前記記憶部に前記データを転送可能なアクティブ素子と、前記アクティブ素子を介して、前記データを前記記憶部に供給するためのデータ端子と、前記アクティブ素子を制御するためのアドレス信号を、前記アクティブ素子に供給するためのアドレス端子と、前記記憶部をリセットするためのリセット信号を、前記記憶部に供給するためのリセット端子と、を備えることを特徴とする。

【0028】このデジタル記憶ユニットは、リセット端子を備えている。これにより、記憶部に保持されたデータに関わらず、記憶部をリセットすることが可能となる。したがって、光変調素子を、容易に所定の状態に設

定することが可能となる。

【0029】上記の装置において、前記記憶部は、リセット機能付きのSRAM回路であってもよい。

【0030】上記の装置において、前記SRAM回路は、一方の入力端子に前記リセット信号が入力される2入力NANDゲートまたは2入力NORゲートと、インバータと、を備えており、前記2入力NANDゲートまたは前記2入力NORゲートと、前記インバータとは、ループ接続されていることが好ましい。

【0031】このようにすれば、記憶部を比較的簡単に構成することができる。

【0032】さらに、上記の装置において、前記記憶部の出力電圧を変換して前記光変調素子に伝達するためのバッファ回路を備えることが好ましい。

【0033】こうすれば、各デジタル記憶ユニットは、任意の電圧レベルで動作する光変調素子を駆動することが可能となる。

【0034】本発明の第4の装置は、デジタル記憶装置であって、2次元に配置された上記のいずれかに記載の複数のデジタル記憶ユニットと、複数の第1の信号線であって、各第1の信号線は、第1の方向に並んだ1組のデジタル記憶ユニット群に含まれる1組のアドレス端子群を並列に接続し、各第1の信号線には、前記アドレス信号が供給される、前記複数の第1の信号線と、複数の第2の信号線であって、各第2の信号線は、前記第1の方向に直交する第2の方向に並んだ1組のデジタル記憶ユニット群に含まれる1組のデータ端子群を並列に接続し、各第2の信号線には、前記データ信号が供給される、前記複数の第2の信号線と、複数の第3の信号線であって、各第3の信号線は、前記第1の方向に並んだ1組のデジタル記憶ユニット群に含まれる1組のリセット端子群を並列に接続し、各第3の信号線には、前記リセット信号が供給される、前記複数の第3の信号線と、を備えることを特徴とする。

【0035】このデジタル記憶装置では、複数のデジタル記憶ユニットが2次元に配置されているので、画像データなどの2次元のデータを記憶することができる。

【0036】本発明の第5の装置は、デジタル駆動装置であって、上記のデジタル記憶装置と、前記複数の第1の信号線に前記アドレス信号を供給するための第1のドライバ回路と、前記複数の第2の信号線に前記データ信号を供給するための第2のドライバ回路と、前記複数の第3の信号線に前記リセット信号を供給するための第3のドライバ回路と、を備えることを特徴とする。

【0037】上記の装置において、前記第3のドライバ回路は、前記第1のドライバ回路が特定の組のデジタル記憶ユニット群に対して前記アドレス信号を供給した後の所定のタイミングで、前記特定の組のデジタル記憶ユニット群に対して前記リセット信号を供給可能であることが好ましい。

【0038】こうすれば、記憶部にデータがき込まれた後の所定のタイミングで、記憶部をリセットすることができるので、各光変調素子を所定のタイミングで所定の状態に設定することが可能となる。

【0039】上記の装置において、前記第1のドライバ回路は、シフトレジスタ回路とAND論理回路とを備えるようにしてもよい。

【0040】こうすれば、時間的な分解能の比較的高いアドレス信号を出力することができる。

【0041】また、上記の装置において、前記第3のドライバ回路は、シフトレジスタ回路とAND論理回路とを備えるようにしてもよい。

【0042】こうすれば、時間的な分解能の比較的高いリセット信号を出力することができる。

【0043】上記の装置において、前記第2のドライバ回路は、シフトレジスタ回路とアナログスイッチ回路とを備え、前記アナログスイッチ回路には、前記データ信号を出力するタイミングを制御するためのイネーブル信号が供給されるようにしてもよい。

【0044】こうすれば、複数の第2の信号線に、データ信号を与えるタイミングを精度良く決定することができる。

【0045】上記の装置において、前記第2のドライバ回路は、複数の部分ドライバ回路を備え、前記複数の部分ドライバ回路のそれぞれは、前記複数のデジタル記憶ユニットのうちの少なくとも一部に、前記データ信号を供給するようにしてもよい。

【0046】こうすれば、各デジタル記憶ユニットに、データ信号を比較的速く供給することができる。

【0047】上記の装置において、前記第1のドライバ回路および前記第3のドライバ回路に、同一のフレーム期間内に前記アドレス信号および前記リセット信号を出力させるための制御回路を備えるようにしてもよい。

【0048】こうすれば、同一のフレーム期間内に、アドレス信号とリセット信号とを各デジタル記憶ユニットに供給することができるので、1フレーム期間内にデータを書き換えることができる。そして、各光変調素子は、1フレーム期間毎に異なる画像を表示することが可能となる。

【0049】本発明の第6の装置は、画像表示装置であって、上記のいずれかに記載のデジタル駆動装置と、前記デジタル駆動装置に含まれる前記複数のデジタル記憶ユニットのそれぞれによって駆動される前記光変調素子と、を備えることを特徴とする。

【0050】この画像表示装置では、本発明の第5の装置であるデジタル駆動装置が用いられているので、光変調素子を、容易に所定の状態に設定することが可能となる。

【0051】さらに、上記の装置において、前記光変調素子からの光を投写するレンズを備えるようにしてもよ

い。

【0052】こうすれば、プロジェクタを構成することができる。

【0053】本発明の方法は、上記のデジタル駆動装置の制御方法であって、前記第3のドライバ回路に、前記第1のドライバ回路が特定の組のデジタル記憶ユニット群に対して前記アドレス信号を供給した後の所定のタイミングで、前記特定の組のデジタル記憶ユニット群に対して前記リセット信号を供給させる工程を含むことを特徴とする。

【0054】こうすれば、記憶部にデータが書き込まれた後の所定のタイミングで、記憶部をリセットすることができるので、各光変調素子を所定のタイミングで所定の状態に設定することが可能となる。

【0055】上記の方法において、前記アドレス信号と前記リセット信号とは、同一のフレーム期間内に供給されることが好ましい。

【0056】こうすれば、同一のフレーム期間内に、アドレス信号とリセット信号とを各デジタル記憶ユニットに供給することができるので、1フレーム期間内にデータを書き換えることができる。そして、各光変調素子は、1フレーム期間毎に異なる画像を表示することが可能となる。

【0057】

【発明の実施の形態】次に、本発明の実施の形態を実施例に基づいて以下の順序で説明する。

A. 第1実施例：

A-1. 画像表示装置：

A-2. 画像形成部：

A-3. デジタル駆動装置：

A-4. 変形例：

B. 第2実施例：

B-1. 変形例：

【0058】A. 第1実施例：

A-1. 画像表示装置：図1は、本発明の第1実施例における画像表示装置50を示す説明図である。この画像表示装置50は、プロジェクタであり、光源装置51と、回転色フィルタ52と、モータ53と、画像形成部（画像表示ユニット）54と、制御回路（画像制御回路）55と、投写レンズ56と、を備えている。

【0059】光源装置51は、白色光を射出する。回転色フィルタ52は、略円形形状を有しており、3つの領域に区分されている。3つの領域には、赤、緑、青の3つの色光をそれぞれ選択して透過するフィルタが設けられている。回転色フィルタ52は、モータ53によって駆動されて回転し、光源装置51から射出された白色光のうち、赤、緑、青の3つの色光を順次抽出して射出する。

【0060】画像形成部54は、導光板1とスイッチング部32とで構成される光変調装置35と、デジタル駆

動装置33と、を備えている。回転色フィルタ52から射出された各色光は、導光板1に順次入射する。スイッチング部32は、デジタル駆動装置33によって駆動され、導光板1に入射した各色光を順次変調（スイッチング）する。なお、画像形成部54は、各色光を画素毎に、図中上方に向けて射出することができる。画素毎に射出された各色光は、各色の画像を表す色画像光Laを形成する。

【0061】制御回路55は、回転色フィルタ52と画像形成部54との動作を制御する。制御回路55は、モータ制御信号φmをモータ53に供給する。また、制御回路55は、色画像データ信号φdとアドレス信号（走査信号）φaとリセット信号φrとを画像形成部54に供給する。ここで、色画像データ信号φdは、各色光に適した各色画像を表す信号である。アドレス信号φaは、デジタル駆動装置33が色画像データ信号φdを内部のメモリに記憶するための信号である。リセット信号φrは、デジタル駆動装置33が内部のメモリに記憶されたデータをリセットするための信号である。

【0062】上記の4つの信号φm、φd、φa、φrは、互いに同期している。これにより、画像形成部54は、回転色フィルタ52から特定の色光が供給されるときに、その特定の色光に適した色画像データ信号φdを用いて、色画像光Laを生成することができる。

【0063】なお、本実施例におけるデジタル駆動装置33と制御回路55とが、本発明におけるデジタル駆動装置に相当する。

【0064】投写レンズ56は、画像形成部54から射出された各色画像光Laを順次スクリーンSCに投写する。そして、スクリーンSC上で、各色画像が時間的に混色されることにより、マルチカラーの画像が表現される。

【0065】上記のように、本実施例の画像表示装置50は、カラーシーケンシャル方式でマルチカラーの画像を表現している。カラーシーケンシャル方式では、通常、1つの光変調素子が1つの画素を構成しており、各画素がマルチカラーを表現することができる。したがって、前述のカラーフィルタ方式の場合と比べて、解像度の高い画像を得ることができるという利点があるとともに、3板方式やカラーフィルタ方式の場合と比べ、画像表示装置を小型化することができるという利点もある。また、カラーシーケンシャル方式では、色画像を更新する際に、色画像がインタレースあるいはノンインタレースで部分的に更新されることがないので、フリッカの発生が少なく、質の高い画像を表示することができるという利点もある。

【0066】A-2. 画像形成部：図2は、図1の画像形成部54を拡大して示す説明図である。なお、本実施例では、光変調装置35は、デジタル駆動装置33上に積層されており、画像形成部54は1チップ化されてい

る。具体的には、デジタル駆動装置33上に、スイッチング部32が積層されており、さらに導光板1が積層されている。なお、デジタル駆動装置33は、半導体基板20上に作製された画像メモリ装置（半導体メモリ装置）である。

【0067】画像形成部54は、マトリクス状に配列された複数の画素形成部30を含んでいる。図2では、1つの画素を形成する1つの画素形成部30が描かれている。なお、後述するように、図2（A）、（B）は、それぞれ、画素形成部30のオン状態とオフ状態を示している。

【0068】各画素形成部30は、光変調素子（光スイッチング素子）10とメモリセル（デジタル記憶ユニット）21を含んでいる。そして、各光変調素子10は、導光板1とスイッチング部32を含んでいる。

【0069】導光板1は、透光性の板材である。導光板1は、単体では、各色光Lを全反射して伝達可能な導光路（光ガイド）として機能する。具体的には、各色光Lは、導光板1の下面1aで全反射する角度で、導光板1に入射する。そして、各色光Lは、下面1aおよび上面1bで繰り返し全反射されつつ、導光板1内を損失なく伝搬する。このため、導光板1は、単体では、各色光Lを、2つの全反射面1a、1bの間に閉じ込めることができる。

【0070】ところで、導光板1の全反射面1a、1b近傍では、色光Lが、導光板1から僅かな距離だけ一旦漏出し、再び導光板1の内部に戻っている。このように、全反射面1a、1bから漏出する光は、エバネセント波と呼ばれる。エバネセント波は、光の波長程度の距離だけ全反射面から漏出する。したがって、全反射面に対して、光の波長程度またはそれ以下の距離だけ離れた位置に、他の光学部材を接近させることにより、エバネセント波を抽出することができる。本実施例の光変調素子10は、エバネセント波を利用して光をスイッチングするエバネセント光スイッチング素子（ESD）である。具体的には、各光変調素子10は、導光板1の下面1aにスイッチング部32の上面を接近させたり離したりすることにより、導光板1内を伝搬する色光を比較的高速で変調（スイッチング）することができる。

【0071】スイッチング部32は、反射プリズム（マイクロプリズム）4と、反射プリズム4を支持するサポート構造5と、アクチュエータ部6と、を含んでいる。

【0072】反射プリズム4は、V字型の断面形状を有する透光性部材であり、導光板1の下面1aに略平行な抽出面（接触面）4aを有している。図2（A）に示すように、抽出面4aを全反射面1aに接近させると、反射プリズム4は、エバネセント波を抽出することができる。反射プリズム4は、抽出したエバネセント波を、反射プリズム4とサポート構造5との界面において反射する。反射された光Lは、導光板1の下面1aに対して

ほぼ垂直な方向に射出される。

【0073】アクチュエータ部6は、反射プリズム4を支持するサポート構造5を、静電駆動する。アクチュエータ部6は、サポート構造5が機械的に連結された上電極7と、上電極7と対峙する下電極8と、を備えている。上電極7のアンカープレート9と、下電極8とは、半導体基板20の最上面20aに積層されている。上電極7は、アンカープレート9から上方に伸びた支柱9aによって支持されており、これにより、上電極7と下電極8との間に空間が形成されている。上電極7は、弾性部材としての機能を部分的に備えている。

【0074】上電極7の電位は、支柱9aおよびアンカープレート9を介して、接地電位に設定されている。下電極8の電位は、メモリセル21によって設定される。すなわち、下電極8の電位は、メモリセル21の出力に応じて変化する。上電極7は、2つの電極7、8間に働く静電力によって上下に移動する。

【0075】下電極8の電位が上電極7の電位とほぼ同じに設定される場合には、図2（A）に示すように、上電極7は、下電極8から離れた位置に配置される。このとき、反射プリズム4の抽出面4aは、導光板1の下面1aに接触した状態となる。そして、色光Lは、反射プリズム4によって、図中上方に向けて射出される。すなわち、下電極8の電位がほぼ接地電位に設定される場合には、画素形成部30に含まれる光変調素子10は、光を射出するオン状態となる。

【0076】一方、下電極8の電位が上電極7の電位に対して比較的高く設定される場合には、図2（B）に示すように、上電極7は、下方に撓み、下電極8に近い位置に配置される。このとき、反射プリズム4の抽出面4aは、導光板1の下面1aから離れた状態となる。そして、色光Lは、導光板1の下面1aで全反射されて、導光板1内を伝搬する。すなわち、下電極8の電位が高電位に設定される場合には、画素形成部30に含まれる光変調素子10は、光を射出しないオフ状態となる。

【0077】メモリセル21は、図1の制御回路55から供給される色画像データ信号φdに従って、アクチュエータ部6を構成する下電極8の電位を設定することにより、光変調素子10のオン／オフ動作を制御する。

【0078】上記のように、画素形成部30は、メモリセル21によって制御可能な光変調素子10を含んでおり、光変調素子10は、メモリセル21の出力状態に応じて、色光Lを図中上方に向けて射出することができる。画像形成部54は、各画素形成部30から射出される画素毎の光を用いて、色光Lに応じた色画像光Laを形成する。

【0079】なお、本実施例では、光変調素子10としてESDが用いられている。ESDは、サブミクロンオーダーの距離の移動で、光をスイッチングするので、比較的低応答速度が速い。また、ESDは、スイッチングの際

に、光をほぼ完全にオン／オフすることができる。したがって、本実施例の画像表示装置50は、多階調で高コントラストの画像を表示することができる。

【0080】A-3. デジタル駆動装置：図3は、図1のデジタル駆動装置33の内部構成を示すブロック図である。デジタル駆動装置33は、半導体基板20（図2）に形成されており、メモリセルアレイ（デジタル記憶装置）31と、行ラインドライバ45と、列ラインドライバ42と、行ラインリセットドライバ49と、を備えている。なお、ドライバ45、42、49には、それぞれ、図1の制御回路55から信号φa、φd、φrが供給されているとともに、クロック信号CLY（#CLY）、CL（#CL）、CLR（#CLR）が供給されている。

【0081】なお、明細書中、符号の先頭に「#」が付された信号は、図中、符号の上部にバーが付された信号に対応しており、これらの信号は、「#」やバーが付されていない信号に対して、論理レベルが反転した信号であることを意味している。

【0082】メモリセルアレイ31は、2次元のマトリクス状（アレイ状）に配列された複数のメモリセル21（図2）を含んでおり、1画面分の色画像データを記憶可能である。各メモリセル21は、一対のデータ端子29d1、29d2と、アドレス端子29aと、リセット端子29pと、図示しない出力端子と、を有している。なお、各メモリセル21の出力端子は、図2に示すように、各画素形成部30の下電極8に接続されている。

【0083】また、メモリセルアレイ31は、行ラインドライバ（第1のドライバ回路）45と接続された複数のアドレス線（第1の信号線）44と、列ラインドライバ（第2のドライバ回路）42と接続された複数の一対のデータ線（第2の信号線）41a、41bと、行ラインリセットドライバ（第3のドライバ回路）49と接続された複数のリセット線（第3の信号線）48と、を含んでいる。各アドレス線44は、行方向（第1の方向）に沿って配列された1組のメモリセル群に含まれる1組のアドレス端子群29aを並列に接続する。各一対のデータ線41a、41bは、列方向（第1の方向に直交する第2の方向）に沿って配列された1組のメモリセル群に含まれる1組の一対のデータ端子群29d1、29d2を並列に接続する。各リセット線48は、行方向（第1の方向）に沿って配列された1組のメモリセル群に含まれる1組のリセット端子群29pを並列に接続する。

【0084】行ラインドライバ45は、各アドレス線44を介して、行方向に沿って配列された各組のメモリセル群に対し、図中上から下に向かって順次、アドレス信号（走査信号）Yを供給する。図4は、図3の行ラインドライバ45の内部構成の一例を示すブロック図である。行ラインドライバ45は、3つのインバータで構成されるレジスタを複数含むシフトレジスタ回路45a

と、複数のANDゲートを含むAND論理回路45bと、を備えている。シフトレジスタ回路45aは、シリアル-パラレル変換機能を有しており、1番目のレジスタに与えられるパルス状のアドレス信号φaは、クロック信号CLY、#CLYに従って、2番目以降のレジスタに順次転送されるとともに、各レジスタから出力される。AND論理回路45bの各ANDゲートは、隣接する2つのレジスタから供給されたデータの論理積を、アドレス信号Yとして出力する。これにより、AND論理回路45bは、時間的な分解能の比較的高いアドレス信号Y、換言すれば、クロック信号CLY、#CLYによりアドレス信号φaがシフトされる短い時間（クロック信号CLY、#CLYの1/2周期）だけHレベルとなるアドレス信号Yを、出力することができる。なお、本実施例の行ラインドライバ45では、各ANDゲートに、イネーブル信号GEが供給されるので、アドレス信号Yの出力をマスクすることができる。

【0085】列ラインドライバ42は、各一対のデータ線41a、41bを介して、列方向に沿って配列された各組のメモリセル群に対し、一斉に、一対のデータ信号D、#Dを供給する。図5は、図3の列ラインドライバ42の内部構成の一例を示すブロック図である。列ラインドライバ42は、6つのインバータで構成されるレジスタを複数含むシフトレジスタ回路42aと、複数のスイッチ対を含むアナログスイッチ回路42bと、を備えている。シフトレジスタ回路42aは、シリアル-パラレル変換機能を有しており、1番目のレジスタに与えられた色画像データ信号φdは、2番目以降のレジスタに順次転送されるとともに、各レジスタから出力される。アナログスイッチ回路42bの各スイッチ対は、そのゲートに供給されるイネーブル信号WEに従って、一対のデータ信号D、#Dの出力タイミングを制御する。この信号WEにより、一対のデータ線41a、41bに一対のデータ信号D、#Dを与えるタイミングを精度良く決定することができる。

【0086】図6は、図5の列ラインドライバ42の動作を示すタイミングチャートである。図示するように、6つのインバータで構成される各レジスタ（図5）は、クロック信号CLの立ち下がりエッジで順次データを転送している。そして、各レジスタの出力Q、#Qは、イネーブル信号WEがHレベルとなったときに、データ信号D、#Dとして、データ線41a、41bに供給される。

【0087】なお、イネーブル信号WEがHレベルとなるとき、データ信号D、#Dを供給するべき一行のメモリセル群にHレベルのアドレス信号Yが供給される。これにより、各メモリセル21は、クロストークなどが発生しない状態で、データを記憶することができる。

【0088】行ラインリセットドライバ49は、各リセット線48を介して、行方向に沿って配列された各組の

メモリセル群に対し、図中上から下に向かって順次、リセット信号Rを供給する。図7は、図3の行ラインリセットドライバ49の内部構成の一例を示すブロック図である。行ラインリセットドライバ49は、3つのインバータで構成されるレジスタを複数含むシフトレジスタ回路49aと、複数のANDゲートを含むAND論理回路49bと、を備えている。なお、シフトレジスタ回路49aとAND論理回路49bとは、図4の各回路45a、45aとはほぼ同じである。AND論理回路49bは、時間的な分解能の比較的高いリセット信号R、換言すれば、クロック信号CLR、#CLRによりリセット信号φrがシフトされる短い時間（クロック信号CLR、#CLRの1/2周期）だけHレベルとなるリセット信号Rを、出力する。

【0089】各メモリセル21は、3つのドライバ45、42、49から供給される信号Y、D、#D、Rに従って、各光変調素子10（図2）の動作を制御する。

【0090】図8は、図3の各メモリセル21の内部構成の一例を示すブロック図である。メモリセル21は、記憶部23と、記憶部23にデータを転送するための2つの転送素子（以下、スイッチング素子とも呼ぶ）28a、28bと、を備えている。

【0091】記憶部23は、インバータ24と、負論理の2入力NORゲート25とを備えており、インバータ24とNORゲート25とは、ループ接続されている。具体的には、インバータ24の入力端子には、NORゲート25の出力端子が接続されている。また、NORゲート25の一方の入力端子には、インバータ24の出力端子が接続されており、他方の入力端子には、リセット端子29pが接続されている。このように、メモリセル21は、2つの転送素子と、ループ接続された2つのインバータとを備える、いわゆるSRAM回路である。こうすれば、記憶部23を、比較的簡単に構成することができる。

【0092】2つのスイッチング素子28a、28bは、CMOSで構成されたトランジスタ（アクティブ素子）であり、アドレス端子29aから供給されるアドレス信号Yによって、その開閉動作が制御される。第1のスイッチング素子28aは、第1のデータ端子29d1とインバータ24の出力端子とに接続されている。第2のスイッチング素子28bは、第2のデータ端子29d2とインバータ24の入力端子とに接続されている。

【0093】記憶部23にデータを記憶させるときには、アドレス端子29aから供給されるHレベルのアドレス信号Yによってスイッチング素子28a、28bが閉じられ、データ端子29d1、29d2を介して供給されるデータ信号D、#Dを用いて、記憶部23にデータが書き込まれる。そして、スイッチング素子28a、28bが開くと、記憶部23によってデータが保持される。

【0094】NORゲート25の出力端子は、メモリセル21の出力端子29oと接続されている。このため、NORゲート25の出力信号Youtは、出力端子29oを介して、光変調素子10に供給される。すなわち、光変調素子10の動作は、記憶部23に記憶されたデータによって制御される。

【0095】記憶部23によってデータが記憶されているときに、リセット端子29pにHレベルのリセット信号Rが供給されると、記憶部23はリセットされる。このとき、記憶部23の出力は、記憶するデータに関わらず、所定の状態に設定される。そして、記憶部23がリセットされた場合には、光変調素子10もリセットされて、所定の状態に設定される。

【0096】なお、図8のメモリセル21では、記憶部23にHレベルのリセット信号Rが供給されると、出力端子29oからは、Lレベル（低電位）の出力信号Youtが出力される。したがって、この場合には、光変調素子10は、図2（A）に示すオン状態に設定されるはずである。しかしながら、以下では、簡単のため、記憶部23がリセットされると、光変調素子10はオフ状態に設定されると仮定して説明する。

【0097】図9は、図3のデジタル駆動装置33の動作を示すタイミングチャートである。カラーシーケンシャル方式を採用する画像表示装置50において、マルチカラーの画像をスクリーンSC上に表示する場合には、前述のように、画像形成部54に供給される各色光L毎にメモリセルアレイ31に記憶される各色画像データを書き換える必要がある。すなわち、1つの色光が、画像形成部54に供給される期間に、その色光に適した色画像データをメモリセルアレイ31に書き込むとともに、書き込まれた色画像データを消去する必要がある。メモリセルアレイ31に書き込まれた色画像データが消去されたときには、換言すれば、各メモリセル21の記憶部23がリセットされたときには、画像形成部54の各光変調素子10は、上記の仮定の通り、光を射出しないオフ状態に設定される。

【0098】時刻t1では、第1のフレーム期間の開始を意味するアドレス信号φaが、制御回路55から行ラインドライバ45に供給される。なお、第1のフレーム期間では、回転色フィルタ52（図1）は、制御回路55からモータ53に供給されるモータ制御信号φmに従って、第1の色光を画像形成部54に供給する。行ラインドライバ45は、アドレス信号φaに従って、アドレス信号Yを複数のアドレス線44を介して順番に各行のメモリセル群に供給する。例えば、時刻t2では、アドレス信号Y0が、第1番目のアドレス線44を介して、第1行目のメモリセル群に供給される。そして、アドレス信号Yが供給された各行のメモリセル群は、各一對のデータ線41a、41bを介して供給されるデータ信号D、#Dをラッチする。各メモリセル21は、記憶した

データに応じて、出力信号Youtを出力し、各光変調素子10は、信号YoutがHレベルとなった場合に、オン状態に設定される。

【0099】時刻t1から所定時間Tw経過後の時刻t3では、リセット信号φrが、制御回路55から行ラインリセットドライバ49に供給される。そして、行ラインリセットドライバ49は、リセット信号φrに従って、リセット信号Rを複数のリセット線48を介して順番に各行のメモリセル群に供給する。すなわち、行ラインリセットドライバ49は、行ラインドライバ45が各行のメモリセル群に対してアドレス信号Yを供給した後の所定のタイミングで、各行のメモリセル群に対してリセット信号Rを供給することができる。例えば、時刻t2から所定時間Tw経過後の時刻t4では、リセット信号R0が、第1番目のリセット線48を介して、第1行目のメモリセル群に供給される。そして、リセット信号Rが供給された各行のメモリセル群は、強制的にリセットされる。このとき、各メモリセル21は、Lレベルの出力信号Youtを出力し、各光変調素子10は、オフ状態に設定される。

【0100】時刻t5から始まる第2のフレーム期間においても同様であり、この期間では、回転色フィルタ52は、第2の色光を画像形成部54に供給する。

【0101】このように、本実施例のデジタル駆動装置33は、1フレーム期間Tf内に、色画像データを書き換えることが可能である。すなわち、デジタル駆動装置33は、制御回路55から供給されるアドレス信号φaおよびリセット信号φrに従って、1フレーム期間Tf内に、行ラインドライバ45および行ラインリセットドライバ49に、アドレス信号Yおよびリセット信号Rを出力させることができる。そして、1フレーム期間Tf内に、アドレス信号Yとリセット信号Rとが各メモリセル21に与えられるので、1フレーム期間Tf内に、その色光に適した色画像データをメモリセルアレイ31に書き込むとともに、書き込まれた色画像データを消去することができる。これにより、画像形成部54は、各フレーム期間において、供給される色光Lに適した色画像光Laを射出することができ、この結果、各フレーム期間毎に異なる色画像をスクリーンSC上に表示することができる。

【0102】図10は、従来のデジタル駆動装置の動作を示すタイミングチャートである。従来のデジタル駆動装置では、各メモリセルは、リセット端子を備えておらず、リセット機能を有していない。このため、前述のように、1画面の色画像を表すための1フレーム期間は、2つのサブフレーム期間を含んでいる。すなわち、第1のサブフレーム期間では、アドレス信号Yが複数のアドレス線を介して順番に各行のメモリセル群に供給される。そして、アドレス信号Yが供給された各行のメモリセル群は、データ信号をラッチする。各メモリセル21

は、記憶したデータに応じて、出力信号Youtを出力し、各光変調素子は、信号YoutがHレベルの場合に、オン状態に設定される。第2のサブフレーム期間では、再びアドレス信号Yが複数のアドレス線を介して順番に各行のメモリセル群に供給される。そして、アドレス信号Yが供給された各行のメモリセル群は、供給されるリセット状態に相当するデータを記憶する。このとき、各メモリセルは、リセット状態に相当するLレベルの出力信号Youtを出力し、各光変調素子はオフ状態に設定される。

【0103】図9、図10を比較して分かるように、本実施例の画像形成部54では、1画面の色画像を表示するために、従来のように、アドレス信号Yの走査を複数回繰り返す必要がない。すなわち、本実施例の画像形成部54においては、アドレス信号Yの走査を1回行う毎に1画面の色画像を表示することが可能となっている。これは、本実施例のメモリセル21では、従来のように、各メモリセルに、アドレス信号を再度供給することによって、リセット状態に相当するデータを供給しなくても、記憶部23を強制的にリセットすることができるためである。このように、本実施例のデジタル駆動装置33は、色画像データを比較的高速に書き換えることができるので、1フレーム期間Tfを短くすることができる。これにより、色画像表示の時間的な分解能を比較的高くことができ、この結果、より多階調の画像を表示することが可能となる。

【0104】また、従来のデジタル駆動装置では、光変調素子のオン期間は、1サブフレーム期間Ts fと同じ時間に決定されてしまう。しかしながら、本実施例のデジタル駆動装置33においては、所定時間Twを1フレーム期間Tf内の適当な時間に変更することにより、行ラインリセットドライバ49は、行ラインドライバ45が各行のメモリセル群に対してアドレス信号Yを供給した後の所望のタイミングで、各行のメモリセル群に対してリセット信号Rを供給することができる。このようにすれば、光変調素子の光の射出時間Twを調整することができ、この結果、色画像の明るさを調整することが可能となる。例えば、所定時間Twを比較的に長く設定すれば、画像形成部54における光の利用効率を向上させることができ、この結果、より明るい画像を表示することができる。

【0105】さらに、図9では、第1および第2のフレーム期間の双方において、リセット信号Rは、アドレス信号Yが出力された後の所定時間Tw経過後に出力されているが、所定時間Twは、フレーム期間毎に変更してもよい。例えば、回転色フィルタ52から射出される3つの色光のうち、特定の色光が用いられるフレーム期間において、所定時間Twを比較的に長く設定するようにしてもよい。こうすれば、画像表示装置50は、色画像毎に明るさを調整することができ、この結果、画像のカラ

ーバランスを容易に調整することが可能となる。

【0106】A-4. 変形例：図11は、メモリセル21（図8）の第1の変形例を示すブロック図である。図11に示すメモリセル21Aは、図8とほぼ同じであるが、記憶部23Aは、ループ接続されたインバータ24と2入力NANDゲート25Aとを備えている。そして、インバータ24の出力端子が、メモリセル21Aの出力端子29oと接続されている。また、このメモリセル21Aでは、リセット端子29pはNANDゲート25Aの入力端子と接続されているので、Lレベルのリセット信号#Rが供給されるときに、記憶部23Aがリセットされる。なお、記憶部23Aがリセットされたときには、Lレベルの出力信号Youtが出力される。

【0107】図12は、メモリセル21（図8）の第2の変形例を示すブロック図である。図12に示すメモリセル21Bは、図11とほぼ同じであり、記憶部23Bは、ループ接続されたインバータ24と2入力NANDゲート25Bとを備えている。ただし、記憶部23B内のインバータ24の出力端子は、電圧変換用のバッファ回路27を介して、メモリセル21Bの出力端子29oと接続されている。このように、バッファ回路27を用いれば、各メモリセル21Bは、任意の電圧レベルで出力することができるとともに、記憶部23B自体の消費電力を低減させることができる。これにより、任意の電圧レベルで駆動する光変調素子10を駆動することが可能となる。なお、記憶部23BがLレベルのリセット信号#Rによってリセットされたときには、Lレベルの出力信号Youtが出力される。

【0108】図13は、メモリセル21（図8）の第3の変形例を示すブロック図である。図13に示すメモリセル21Cは、図11とほぼ同じであるが、記憶部23Cは、ループ接続されたインバータ24と2入力NORゲート25Cとを備えている。また、このメモリセル21Cでは、リセット端子29pはNORゲート25Cの入力端子と接続されているので、Hレベルのリセット信号Rが供給されるときに、記憶部23Cがリセットされる。なお、記憶部23Cがリセットされたときには、Hレベルの出力信号Youtが出力される。したがって、このメモリセル21Cは、Hレベルの出力信号Youtが供給される場合にオフ状態に設定される図2の光変調素子10に適している。

【0109】図14は、メモリセル21（図8）の第4の変形例を示すブロック図である。図14に示すメモリセル21Dは、図8とほぼ同じであるが、記憶部23Dは、ループ接続されたインバータ24と負論理の2入力NANDゲート25Dとを備えている。また、このメモリセル21Dでは、リセット端子29pはNANDゲート25Dの入力端子と接続されているので、Lレベルのリセット信号Rが供給されるときに、記憶部23Dがリセットされる。なお、記憶部23Dがリセットされたとき

きには、Hレベルの出力信号Youtが出力される。したがって、このメモリセル21Dも、Hレベルの出力信号Youtが供給される場合にオフ状態に設定される図2の光変調素子10に適している。

【0110】図15は、デジタル駆動装置33（図3）の変形例を示すブロック図である。図15に示すデジタル駆動装置33Aは、図3とほぼ同じであるが、列ラインドライバは、2つの部分列ラインドライバ42A、42Bを備えている。なお、2つの部分列ラインドライバ42A、42Bは、図3の列ラインドライバ42が2つに分離されたものに相当する。そして、各部分列ラインドライバ42A、42Bには、色画像データ信号φd1、φd2がそれぞれ与えられ、各部分列ラインドライバ42A、42Bは、メモリセルアレイ31に含まれる複数のメモリセルのうちの半分に、データ信号D、#Dを供給する。こうすれば、各部分列ラインドライバ42A、42Bが、シリアルーパラレル変換するデータ量を減少させることができるので、各メモリセル21に、データ信号D、#Dを比較的速く供給することができる。

【0111】なお、図15では、2つの部分列ドライバが用いられているが、3つ以上の複数の部分列ドライバ回路のそれぞれは、複数のメモリセルのうちの少なくとも一部に、データ信号を供給可能であればよい。なお、複数の部分列ドライバを備えるデジタル駆動装置は、解像度の比較的高い画像表示装置に適している。

【0112】以上説明したように、本実施例の画像表示装置50は、デジタル駆動装置33、33Aと、光変調装置35と、を備えており、デジタル駆動装置33、33Aは、マトリクス状に配列された複数のメモリセル21、21A～21Dを含むメモリセルアレイ31を備えている。そして、各メモリセル21、21A～21Dは、リセット端子29pを備えている。これにより、記憶部23、23A～23Dに記憶されたデータに関わらず、記憶部23、23A～23Dの出力を、容易に所定の状態に設定することができ、この結果、光変調素子10を容易に所定の状態に設定することが可能となる。

【0113】なお、本明細書では、リセット信号やリセット端子などのように「リセット」という文言が用いられているが、セット信号やセット端子などのように「セット」という文言が用いられる場合もある。すなわち、本明細書における「リセット」は、「セット」と同義である。

【0114】B. 第2実施例：図16は、第2実施例におけるデジタル駆動装置33'の内部構成を示すブロック図である。本実施例のデジタル駆動装置33'は、第1実施例のデジタル駆動装置33（図3）とほぼ同じであるが、メモリセルアレイ31'に含まれるメモリセル21'は、データ端子29d1を1つのみ有している。具体的には、第1実施例では、列ラインドライバ42

は、一対のデータ線41a、41bを介して、一対のデータ信号D、#Dを出力しており、各メモリセル21は、一対のデータ信号D、#Dをラッチしている。これに対し、本実施例では、列ラインドライバ42'は、1本のデータ線41を介して、1つのデータ信号Dを出力しており、各メモリセル21'は、1つのデータ信号Dをラッチしている。

【0115】図17に、図16の各メモリセル21'の内部構成の一例を示すブロック図である。このメモリセル21'は、図8とはほぼ同じであるが、スイッチング素子28aを1つのみ備えており、スイッチング素子28aと接続されたデータ端子29d1には、データ信号Dが供給されている。

【0116】このようなメモリセル21'を用いても、第1実施例のメモリセル21と同様に、記憶部23に記憶されたデータに関わらず、記憶部23の出力を、容易に所定の状態に設定することが可能なメモリセルを構成することができる。

【0117】B-1. 変形例：図18、図19、図20、図21は、メモリセル21'（図17）の第1ないし第4の変形例を示すブロック図である。図18～図21に示すメモリセル21A'、21B'、21C'、21D'は、それぞれ図11～図14に示すメモリセル21A、21B、21C、21Dとはほぼ同じであるが、いずれもスイッチング素子28aを1つのみ備えており、スイッチング素子28aと接続されたデータ端子29d1には、データ信号Dが供給されている。

【0118】図22は、デジタル駆動装置33'（図16）の変形例を示すブロック図である。図22に示すデジタル駆動装置33A'は、図16とはほぼ同じであるが、列ラインドライバは、2つの部分列ラインドライバ42A'、42B'を備えている。こうすれば、図15に示すデジタル駆動装置33Aと同様に、各部分列ラインドライバ42A'、42B'が、シリアル-パラレル変換するデータ量を減少させることができるので、各メモリセル21'に、データ信号Dを比較的速く供給することができる。

【0119】なお、本発明は上記の実施例や実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

【0120】（1）上記実施例では、回転色フィルタ52は、赤、緑、青の3つの色光を順次抽出して射出しているが、これに代えて、中間色などの異なる色光を順次抽出して射出するようにしてもよい。また、光源装置51と回転色フィルタ52との組み合わせに代えて、赤、緑、青の3つの単色光を個別に射出する光源装置（例えば、LED）を用いるようにしてもよい。

【0121】（2）上記実施例では、光変調素子10の上電極7を共通の接地電位に設定し、下電極8に与える

電位を変化させているが、上電極7と下電極8とに与える電位の関係を逆転させてもよい。ただし、光変調素子10を2次元マトリクス状に配列する場合には、すべての光変調素子10の上電極7の電位が共通の電位となるように、上電極7を接地することが好ましい。

【0122】（3）上記実施例では、アクチュエータ部6は、2つの電極（上電極および下電極）を備えているが、さらに、2つの電極間で動く中間電極を備えるようにしてもよい。この場合には、2つの電極を極性の異なる電位に設定し、メモリセルの出力を中間電極に与え、反射プリズム4が中間電極に連動するようにすればよい。こうすれば、メモリセルの出力電圧が比較的低い場合にも、中間電極を移動させることができるという利点がある。

【0123】また、2つの電極を用いて静電駆動するアクチュエータ部6に代えて、圧電素子を含むアクチュエータ部を用いるようにしてもよい。

【0124】（4）上記実施例では、光変調装置35は、各光変調素子10としてエバネセント光スイッチング素子（ESD）を用いているが、液晶やDMD（デジタルマイクロミラーデバイス：T1社の商標）などの他の光変調素子を用いるようにしてもよい。また、外部から与えられた光を変調（スイッチング）して射出する光変調素子に代えて、有機EL（Electroluminescence）素子などの自発光素子を用いるようにしてもよい。

【0125】一般には、画像表示装置は、デジタル駆動装置に含まれる複数のメモリセルの出力に応じて、光を射出する複数の光射出素子を含む光射出装置を備えているとよい。

【0126】（5）上記実施例では、図9に示すように、1フレーム期間を用いて1画面の画像が表示されているが、複数のサブフレーム期間を用いて1画面の画像を表示する場合にも、本発明を適用することが可能である。こうすれば、1画面の画像の表示時間を比較的長くすることができるという利点がある。

【0127】（6）上記実施例では、記憶部として、リセット機能付きのSRAM回路を用いているが、これに代えて、リセット機能付きのサンプルホールド回路を用いるようにしてもよい。

【0128】（7）上記実施例では、画像表示装置50として、スクリーンSC上に画像を表示するプロジェクタを例に説明しているが、画像表示装置は、直視型の表示装置であってもよい。

【0129】（8）上記実施例では、カラーシーケンシャル方式を採用する画像表示装置50について説明したが、他の方式を採用する画像表示装置に本発明を適用するようにしてもよい。

【図面の簡単な説明】

【図1】本発明の第1実施例における画像表示装置50を示す説明図である。

【図2】図1の画像形成部54を拡大して示す説明図である。

【図3】図1のデジタル駆動装置33の内部構成を示すブロック図である。

【図4】図3の行ラインドライバ45の内部構成の一例を示すブロック図である。

【図5】図3の列ラインドライバ42の内部構成の一例を示すブロック図である。

【図6】図5の列ラインドライバ42の動作を示すタイミングチャートである。

【図7】図3の行ラインリセットドライバ49の内部構成の一例を示すブロック図である。

【図8】図3の各メモリセル21の内部構成の一例を示すブロック図である。

【図9】図3のデジタル駆動装置33の動作を示すタイミングチャートである。

【図10】従来のデジタル駆動装置の動作を示すタイミングチャートである。

【図11】メモリセル21（図8）の第1の変形例を示すブロック図である。

【図12】メモリセル21（図8）の第2の変形例を示すブロック図である。

【図13】メモリセル21（図8）の第3の変形例を示すブロック図である。

【図14】メモリセル21（図8）の第4の変形例を示すブロック図である。

【図15】デジタル駆動装置33（図3）の変形例を示すブロック図である。

【図16】第2実施例におけるデジタル駆動装置33'の内部構成を示すブロック図である。

【図17】図16の各メモリセル21'の内部構成の一例を示すブロック図である。

【図18】メモリセル21'（図17）の第1の変形例を示すブロック図である。

【図19】メモリセル21'（図17）の第2の変形例を示すブロック図である。

【図20】メモリセル21'（図17）の第3の変形例を示すブロック図である。

【図21】メモリセル21'（図17）の第4の変形例を示すブロック図である。

【図22】デジタル駆動装置33'（図16）の変形例を示すブロック図である。

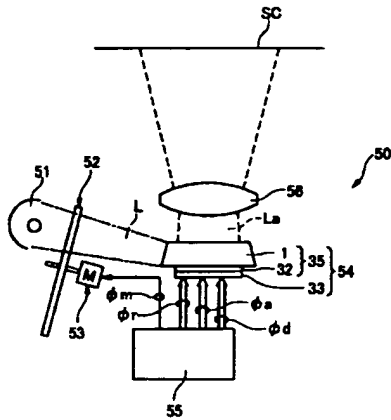
【符号の説明】

1…導光板
1a…下面（全反射面）
1b…上面（全反射面）
4…反射プリズム
4a…抽出面
5…サポート構造
6…アクチュエータ部

7…上電極
8…下電極
9…アンカープレート
9a…支柱
10…光変調素子（光スイッチング素子）
20…半導体基板
20a…最上面
21, 21A, 21B, 21C, 21D…メモリセル
21', 21A', 21B', 21C', 21D'…メモリセル
23, 23A, 23B, 23C, 23D…記憶部
24…インバータ
25…負論理のNORゲート
25A…NANDゲート
25B…NANDゲート
25C…NORゲート
25D…負論理のNANDゲート
27…バッファ回路
28a, 28b…スイッチング素子
29a…アドレス端子
29d1, 29d2…データ端子
29p…リセット端子
29o…出力端子
30…画素形成部
31, 31'…メモリセルアレイ
32…スイッチング部
33, 33A, 33', 33A'…デジタル駆動装置
35…光変調装置
41…データ線
41a, 41b…一対のデータ線
42…列ラインドライバ
42A, 42B…部分列ラインドライバ
42A', 42B'…部分列ラインドライバ
42a…シフトレジスタ回路
42b…アナログスイッチ回路
44…アドレス線
45…行ラインドライバ
45a…シフトレジスタ回路
45b…AND論理回路
48…リセット線
49…行ラインリセットドライバ
49a…シフトレジスタ回路
49b…AND論理回路
50…画像表示装置（プロジェクタ）
51…光源装置
52…回転色フィルタ
53…モータ
54…画像形成部
55…制御回路
56…投写レンズ

SC…スクリーン
 L…色光
 La…色画像光
 CL, CLR, CLY…クロック信号
 Y…アドレス信号
 D…データ信号

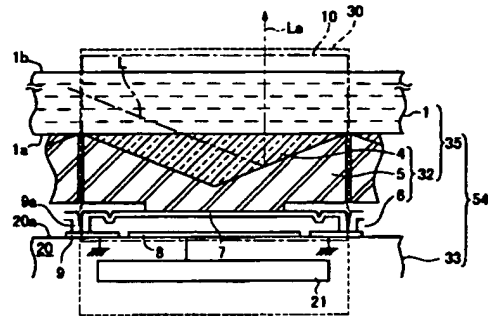
【図1】



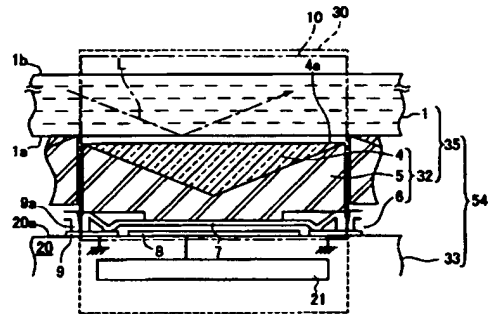
* R…リセット信号
 Yout…出力信号
 phi a…アドレス信号
 phi d…色画像データ信号
 phi m…モータ制御信号
 * phi r…リセット信号

【図2】

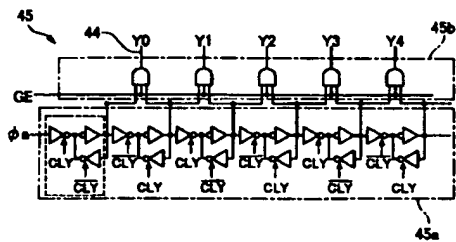
(A) オン状態



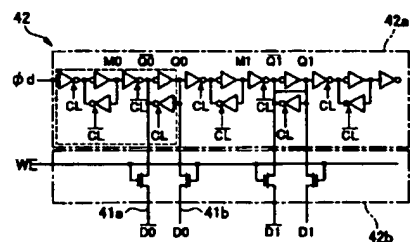
(B) オフ状態



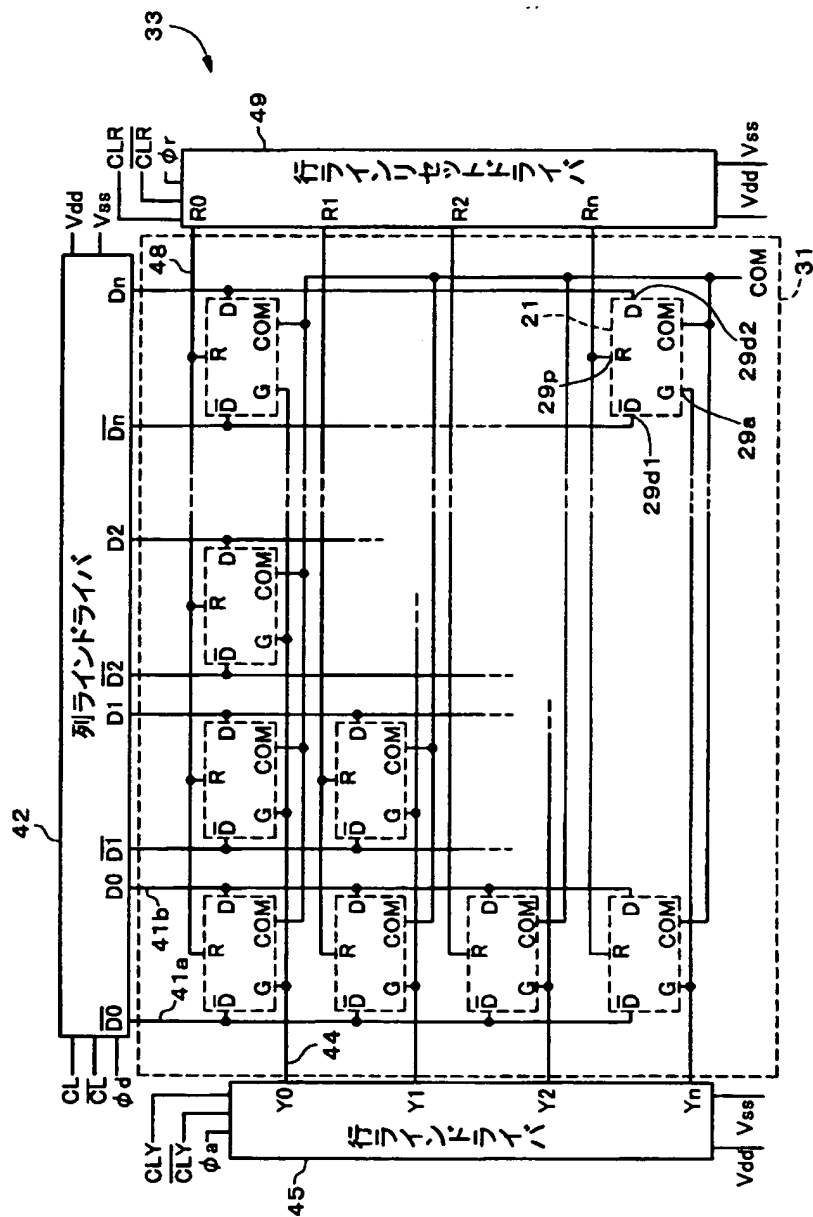
【図4】



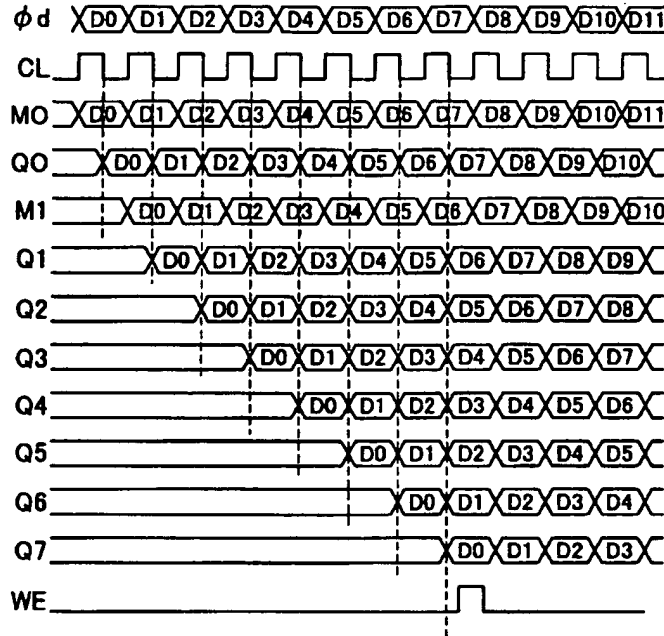
【図5】



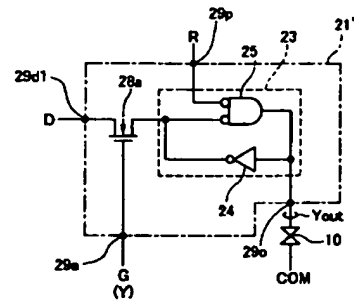
【図3】



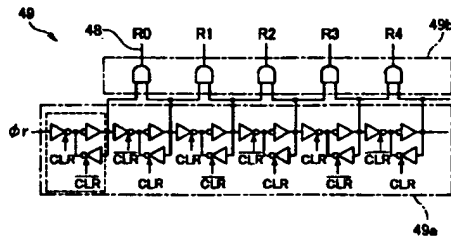
【図6】



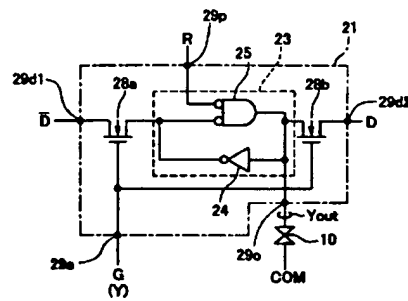
【図17】



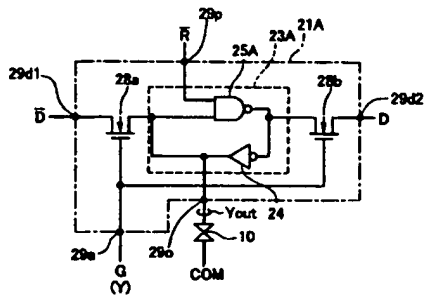
【図7】



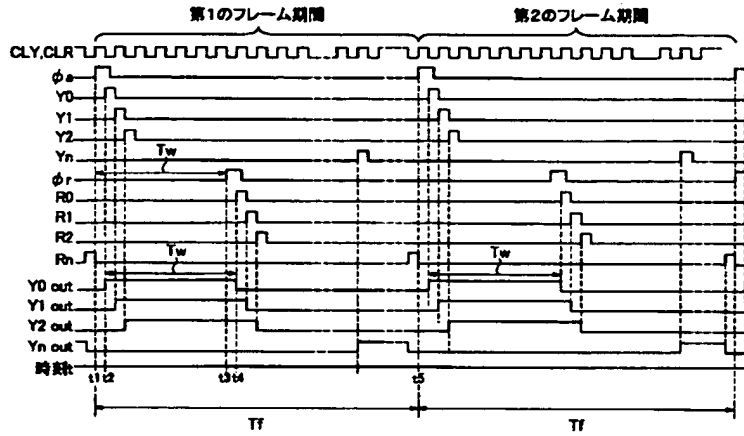
【図8】



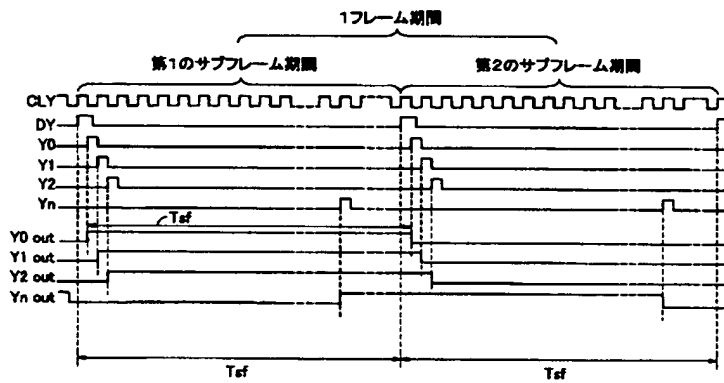
【図11】



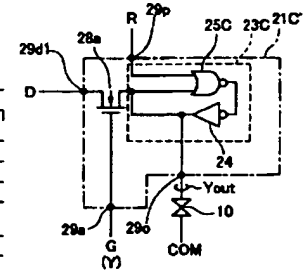
【図9】



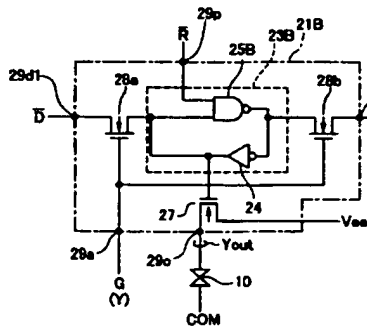
【図10】



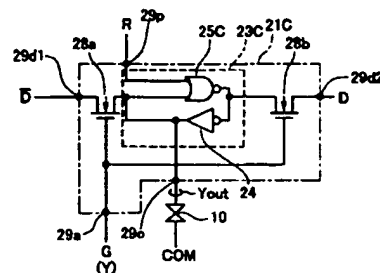
【図20】



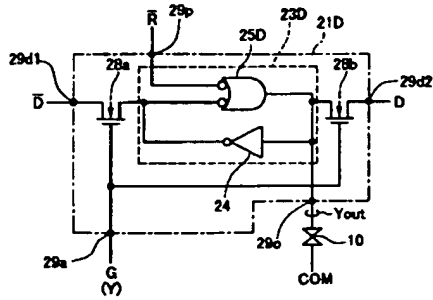
【図12】



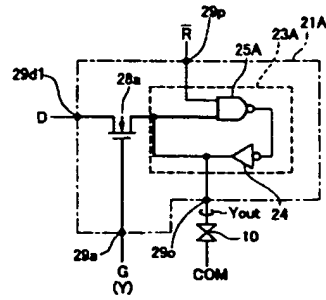
【図13】



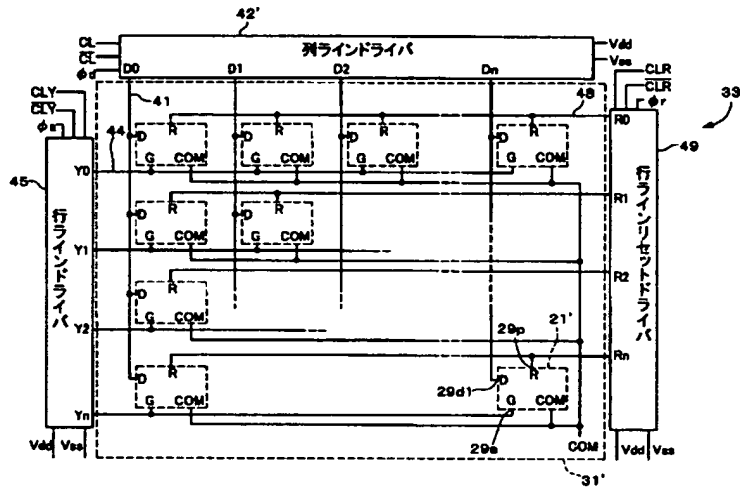
【圖 14】



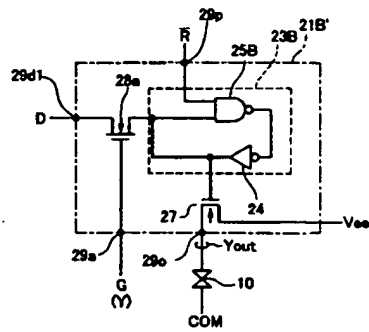
【圖 18】



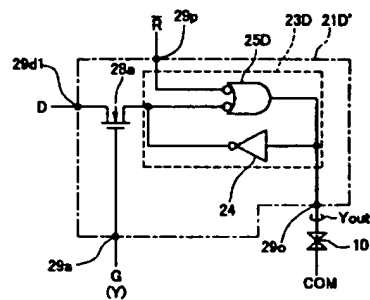
【图 16】



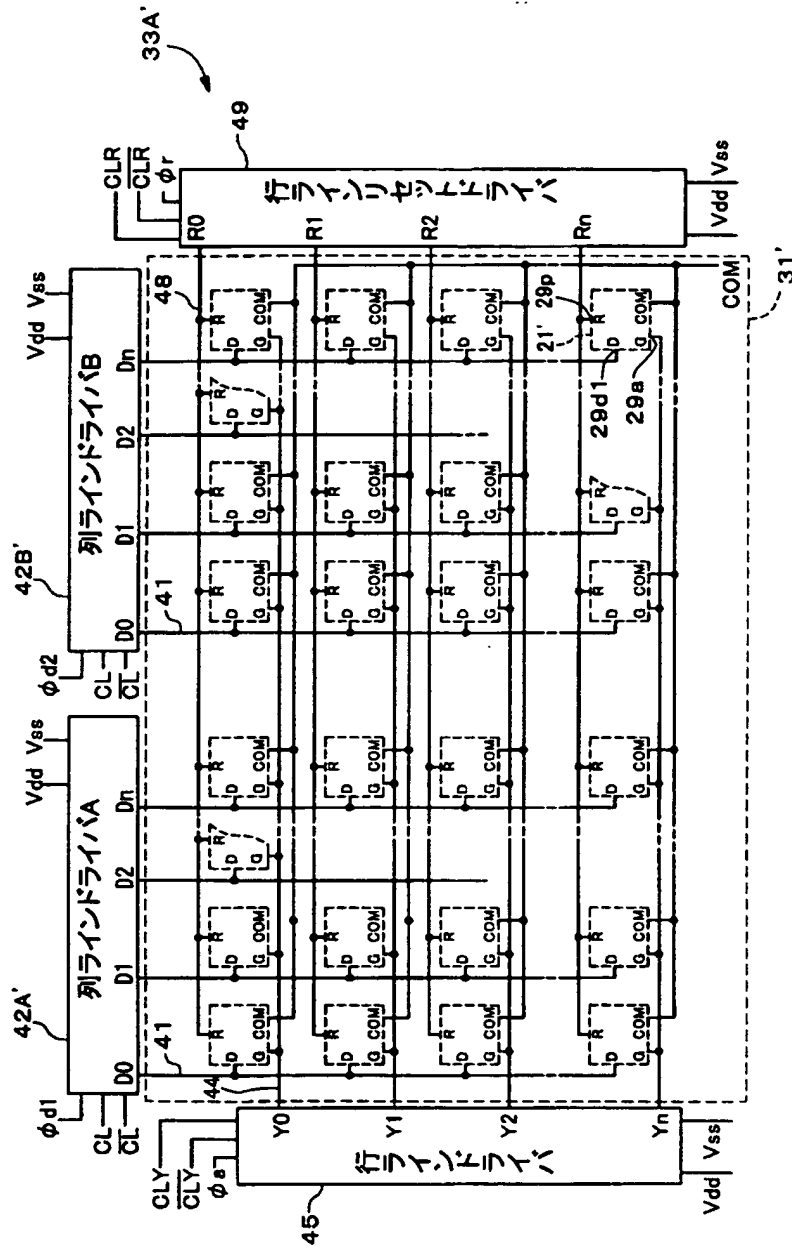
【圖 19】



【圖21】



【図22】



フロントページの続き

(51)Int.Cl.	識別記号	F I	キーワード (参考)
G 1 1 C	11/413	G 1 1 C	J
	11/41		K
		11/40	B
(72)発明者	米窪 政敏	F ターム (参考)	2H041 AA11 AB13 AB40 AC06 AZ05
	長野県諏訪市大和三丁目3番5号 セイコ		5B015 HH01 JJ00 KA13 KB48 KB50
	ーエプソン株式会社内		KB52 KB84 NN03
			5C006 AA21 BB16 BC06 BF03 BF26
			EA03 EC11
			5C080 AA10 BB05 CC03 DD01 DD06
			EE30 FF11 FF12 JJ02 JJ03
			JJ04 JJ06